

AMD EMBEDDED COMPUTING SUMMIT



together we advance_



08/27 AMD Vivado™ AI Assistant Workshop

Agentic AI × AMD Vivado™ AIアシスタントに
特化した限定ハンズオンワークショップ

事前申込制 | 定員50名

08/28 AMD Embedded Computing Summit

AMDテクノロジーで拓く
次世代組み込みシステム開発のための技術セッション

事前申込制

EVENT LOCATION

ホテルニューオータニ

〒102-8578 東京都千代田区紀尾井町4-1

赤坂見附駅	徒歩3分
永田町	徒歩3分
麹町駅	徒歩6分
四ツ谷駅	徒歩8分

08/27 AMD Vivado AI Assistant Workshop

Agentic AI × AMD Vivado™ AIアシスタントに特化した
限定ハンズオンワークショップ（定員50名）

8:00	Arrival & Registration
9:00	Module 1: Introduction to AMD Vivado™ AI Assistant
9:25	Module 2: Agentic AI Workflows for Advanced Adaptive SoC Design
10:00	Lab 1: Getting Started & Knowledge Base Setup
10:30	Lab 2: Design Capture
11:00	Lab 3: Design Analysis
12:00	Lunch
12:30	Lab 4: Design Closure
13:40	Lab 5: Hardware Debug (Optional Demo)
14:15-14:30	Q&A and Closing

08/28 AMD Embedded Computing Summit

08:30	Registration	
09:30	Welcome Message/Keynote	
10:15	Product Update/Customer Testimonial	
11:15	Platinum Partner Presentation	
11:55	Lunch/ Networking	FPGA /SoC
13:00	Deploying and Profiling AI Models with AMD Vitis™ AI	x86 Emb.
	Designing with AMD x86 Embedded Processors: Architecture, Software Stack, and Platform Considerations	FPGA /SoC
	Optimizing AMD Versal™ and Spartan™ UltraScale+™ Designs with Vivado™ Design Suite	FPGA /SoC
	Optimizing System Bandwidth with the AMD Versal™ Programmable NoC and NoC Compiler	x86 Emb.
13:50	AI Inference with NPU on AMD Ryzen™ AI Processors	FPGA /SoC
	Building Efficient Video Processing Pipelines on Versal™ Adaptive SoCs	FPGA /SoC
	Designing High-Performance DSP Systems Using AI Engines and Programmable Logic	x86 Emb.
	Maximizing Reliability and Uptime with AMD RAS Technologies	

14:30	Networking Break	
14:50	Agentic AI Workflows for Modern Adaptive SoC Development	FPGA /SoC
	Designing Secure Embedded Systems on Adaptive SoCs	FPGA /SoC
	Securing x86 Embedded Processors	x86 Emb.
	Streamlining Embedded Linux® Development with Yocto Project®-Based Frameworks	FPGA /SoC
15:30	Networking Break	x86 Emb.
15:50	Accelerating Board Design, Bring-Up, and Debug of x86 Embedded Products	x86 Emb.
	AI/Compute Workloads on AMD ROCm™ Software- HIP Programming and Optimizations	FPGA /SoC
	Pushing the Limits of FMAX: Timing Closure Strategies in AMD Vivado™ Tools	FPGA /SoC
	System Design: Best Practices for Adaptive Hardware Development	
17:15-18:30	Demo Reception and Technology Showcase	

AMD社と貴社間のNDA締結が必要となります
* NDA締結方法は本資料末尾に掲載

08/28 選択式セッション概要 13:00

Deploying and Profiling AI Models with AMD Vitis™ AI

FPGA
/SoC

ハードウェアアクセラレーターへのディープラーニングモデル展開を実践的に解説するセッション。

モデルの準備・最適化・コンパイルから、
ONNX Runtimeやネイティブランタイムを活用した統合手法までを紹介。

推論アプリの構築・デプロイ・プロファイリングによるパフォーマンス評価とボトルネック特定も対象。
加えて、消費電力の測定とモデル効率化手法についても解説。

Optimizing AMD Versal™ and Spartan™ UltraScale+™ Designs with Vivado™ Design Suite

FPGA
/SoC

QoRの向上・使いやすさの改善・開発スピードアップに役立つ
AMD Vivado™ Design Suiteの新機能を紹介するセッション。

AMD Versal™デバイス向けに新たに追加されたAdvanced Flowの概要と、
AMD Spartan™ UltraScale+™ FPGAの設計パフォーマンス向上に向けた
各種最適化手法も解説。

Designing with AMD x86 Embedded Processors: Architecture, Software Stack, and Platform Considerations

x86
Emb.

x86組み込みプロセッサを使った設計に必要な重要事項を解説するセッション。

製品ラインの選び方やプラットフォームアーキテクチャの検討から、
ファームウェア・BIOSを含むソフトウェアスタック全体までを対象。

x86組み込み開発を効率化する設計リソースやエコシステムソリューションの活用方法も紹介

Optimizing System Bandwidth with the AMD Versal™ Programmable NoC and NoC Compiler

FPGA
/SoC

コンパイラ駆動の最適化を活用したNetwork on Chip(NoC)アーキテクチャによる
システムパフォーマンス向上の仕組みを解説するセッション。

設計の自動最適化がシステムリソースの削減・帯域幅の改善・複雑なアダプティブSoC設計の
スケーラビリティ向上にどう貢献するかを紹介。

08/28 選択式セッション概要 13:50

AI Inference with NPU on AMD Ryzen™ AI Processors

x86
Emb.

NPUとCPU・GPUの統合を中心に、モデル最適化・量子化戦略(INT8・INT4)・メモリ管理を通じた安定したAIパフォーマンスの実現手法を解説するセッション。

コンピュータビジョンや自然言語処理の実際のベンチマークを通じ、
熱制約のある組み込みシステムで
レイテンシ・スループット・電力効率を最適化するMLパイプラインの分割方法を紹介。

プロファイリングツールの活用・ボトルネック特定・ミッションクリティカルな推論性能の
達成に向けた実践的ガイダンスも提供。

Building Efficient Video Processing Pipelines on Versal™ Adaptive SoCs

FPGA
/SoC

統合プロセッシングシステム・ハードIPブロック・プログラマブルロジックを用いた
映像処理パイプラインの設計・最適化を実践的に学べるセッション。

アーキテクチャ検討から実装まで参照設計を通じて解説し、
電力推定・システム内電力測定・パフォーマンスチューニング・組み込みソフトウェア展開を網羅。

事前設定済みI/Oインターフェースとプラットフォーム開発フレームワークを活用した
システム性能と電力供給のバランス最適化手法も紹介。

Designing High-Performance DSP Systems Using AI Engines and Programmable Logic

FPGA
/SoC

AIE-ML・AIE-ML v2を含むAI Engineアーキテクチャを
高性能DSPアプリケーションへの応用に焦点を当てて紹介するセッション。

AI Engineとプログラマブルロジックによる信号処理ワークロードの高速化手法を、
ポリブロックチャネライザーなどの実践的な設計フロー事例を交えて解説。

ライブラリ・API・組み込み関数の比較による
パフォーマンスとプログラマビリティのトレードオフ分析、
ヘテロジニアスシミュレーションを含むシミュレーションフローの説明も網羅。

DSPアプリケーションの開発・シミュレーション・最適化を効率化するための
実践的な知識の習得が可能なセッション。

Maximizing Reliability and Uptime with AMD RAS Technologies

x86
Emb.

現代の組み込みプロセッサが備えるRAS(信頼性・可用性・保守性)機能と、
システム設計への効果的な活用方法を探求するセッション。

ソリューションの堅牢性向上・運用コスト削減・耐障害性の高い
組み込みシステム構築のためのアーキテクチャアプローチを紹介。

08/28 選択式セッション概要 14:50

Agentic AI Workflows for Modern Adaptive SoC Development

FPGA
/SoC

設計サイクルの課題解決においてFPGA開発に革新をもたらす
Agentic AIを深掘りするセッション。

自然言語駆動のワークフローにより、設計意図の解釈から
ハードウェア・ソフトウェア成果物の生成まで幅広い開発フェーズを支援。

設計解析・クロージャの効率化・タイミング精度の向上による複雑性と開発時間の削減手法を解説。

アダプティブSoCを含むヘテロジニアスシステムのハードウェアデバッグにおける
AIエージェントの活用事例、AMD Vivado™ブロック設計コンポーネントの統合・サブシステム設定・
ビルドフロー実行のデモも提供。

ソフトウェア中心のモダンなアプローチによるFPGA開発の効率化と民主化を紹介。

Designing Secure Embedded Systems on Adaptive SoCs

FPGA
/SoC

AMDアダプティブSoCのセキュリティ機能を包括的に紹介するセッション。

電源投入から重要な設計情報・ランタイムアプリケーションのリリースまで、
アダプティブSoCが一貫して提供お客様のIPおよびデータの
真正性・機密性・完全性の確保手法を解説。

Securing x86 Embedded Processors

x86
Emb.

x86組み込みプロセッサのセキュリティ機能を包括的に解説するセッション。

セキュアブートの仕組みや使用中データの保護手法(コンフィデンシャルコンピューティング)を
取り上げ、x86組み込み製品によるIP保護の理解を促進。

Streamlining Embedded Linux® Development with Yocto Project®-Based Frameworks

FPGA
/SoC

アダプティブデバイスのハードプロセッシングサブシステム向けに、
Yocto Project®ベースの組み込み開発フレームワークを紹介するセッション。

開発キット上でのLinux®・組み込みアプリケーションのビルドと
デプロイの開発フローを解説し、組み込みソフトウェアワークフローの効率化を実現する手法を提供。

08/28 選択式セッション概要 15:50

Accelerating Board Design, Bring-Up,
and Debug of x86 Embedded Products

x86
Emb.

AMD x86組み込み製品のコンセプトからボード設計・ブリングアップまでの
完全な開発プロセスを解説するセッション。

I/Oプランニング・電力／熱設計・回路図と
レイアウトのガイドライン・ファームウェアカスタマイズ・ブートフロー・デバッグと
検証ツールを詳しく紹介。

設計品質の向上と確実なブリングアップを実現する明確なワークフローの習得が可能。

AI/Compute Workloads
on AMD ROCm™ Software- HIP Programming and Optimizations

x86
Emb.

AMD ROCm™ソフトウェアとHIPプログラミングモデルを活用した
iGPU上のコンピュータワークロード最適化を解説するセッション。

Ryzen™ iGPU上のROCmスタック概要からHIPによる
CUDA互換ML開発、カーネル構造・メモリ階層・設計考慮事項まで幅広くカバー。

カーネル起動動作・バッチング戦略・メモリトラフィックの最適化、
ROCmツールを用いたコンピュータバウンド／メモリバウンドカーネルの識別手法も紹介。

さらに、NPUとのハイブリッド実行によるMLパイプラインの拡張と、
Ryzen AIプラットフォームでのNPU協調推論による
レイテンシ・スループット・効率の最適化手法も解説。

Pushing the Limits of FMAX:
Timing Closure Strategies in AMD Vivado™ Tools

FPGA
/SoC

AMD Versal™アーキテクチャのシリコン強化ポイントと設計への活用手法を紹介するセッション。

目標パフォーマンスの実現に向け、合成からP&Rまでをサポートする
新しいAMD Vivado™ Design Suite機能を用いた具体的な方法論を解説。

タイミング最適化に役立つ各種リソースの活用方法も紹介。

System Design:
Best Practices for Adaptive Hardware Development

FPGA
/SoC

次のアダプティブ組み込みハードウェア設計に役立つベストプラクティスを学べるセッション。

電力推定・解析・電力供給設計・デカップリング設計・熱設計・シミュレーションを網羅。

LPDDR5Xおよび112 Gb/s対応の電源インテグリティ・信号インテグリティシミュレーション、
ボード・回路図チェックリストも対象。

さらなる学習を促進する追加ラボとトレーニングの案内も提供。



2026 Embedded Computing Summit (ECS)

[イベント登録はこちら](#)

NDA締結方法(Adobe Acrobat Sign)

貴社とAMD間で既にNDAを締結されている方は、新規での締結は不要です。

NDA締結が必要なセッション にご参加いただくには、NDAの締結が必要となります。

締結は電子署名にてお願いしております。

電子署名でのご対応が難しい場合は、PDFでの締結も可能です(次ページ記載)

1. NDAフォームに必要事項の記入

NDA Launch Form

- Company Name, Signer Name, Signer Email Address
- Signer Email Address にメール送信されますので
貴社法務のご担当者など 締結担当者のメールアドレスを記入ください

2. 受領メールを開く

送信元: adobesign@adobesign.com

3. NDA締結内容を確認し、電子署名を行う

NDA締結方法(PDF)

1. NDAフォームに必要事項の記入

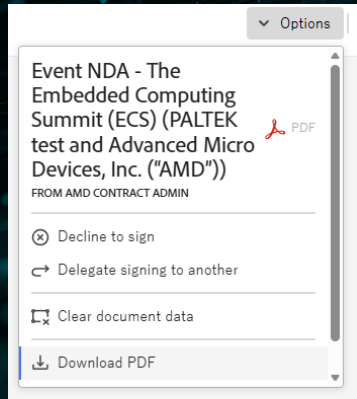
NDA Launch Form

- Company Name, Signer Name, Signer Email Address
- Signer Email Address にメール送信されますので
貴社法務のご担当者など 締結担当者のメールアドレスを記入ください

2. 受領メールを開く

送信元: adobesign@adobesign.com

3. Optionsを選択しPDFのダウンロード



4. 2か所 署名後に担当営業までご連絡をお願いします

Company Name ("Recipient")
Authorized Signature
Print Name
Title
Date