

ModelSim DEは世界中のFPGA設計者が使い続けるFPGAベンダー非依存のシミュレーションと機能検証のツールです。コードカバレッジやアサーション、デバッグツールにより設計と検証の高い生産性を実現します。

FPGA設計の業界標準シミュレーション

ModelSimは使い勝手の優れた高性能HDLシミュレータで、多くのFPGA設計者が実機を使い始める前に設計の動作をテストし、設計バグの検出とデバッグによって繰り返される検証フローの中心的な役割を果たします。実機でのデバッグは可視性と再現性が低くテストの終了が予測しにくい状況に陥りがちです。シミュレーションによって充分テストされた状態で実機テストへと移行することで、生産性と品質を上げることができます。またFPGAベンダーに依存しないシミュレータであるため標準的に使用することができます。

ModelSimは、SKS (Single Kernel Simulation) テクノロジーにより、VHDLやVerilog、SystemVerilogの設計構文とSystemCを1つの設計データとして混在させてシミュレーションすることができます。そのアーキテクチャーは、ネイティブ・コンパイルのコードを基盤としており、プラットフォームに依存しないコンパイルと高性能のシミュレーションを実現します。

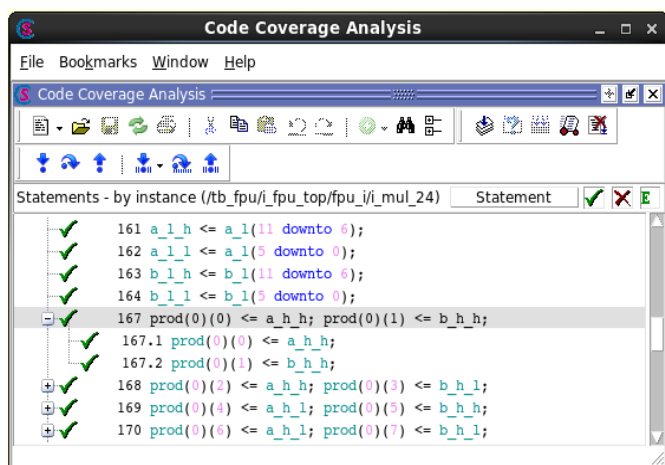
グラフィカル・ユーザ・インターフェースは多くのウィンドウ間で一貫性があり、互いに連携させながら直感的な操作性を提供してくれます。設計構造やオブジェクト、変数やメモリ内容を把握しながらソースコードを確認し、波形表示やデータフローを用いたデバッグや信号の追跡が可能です。ModelSim環境を離れることなく、フローのすべてを実行することが可能です。また操作履歴からスクリプト化させバッチ実行させたり、シミュレーションとは異なるデバッグを別セッションで行うことも可能です。

機能とメリット

- 統合された言語混在シミュレーションエンジン
 - Verilog、SystemVerilog (設計構文)、VHDL、SystemCをネイティブサポート
 - どのような言語の組み合わせに対しても高性能を実現
- 高度なコードカバレッジ
 - テスト品質を上げ重複テスト排除による時短や計算機資源の有効活用を実現
 - カバレッジのUCDB一元管理と分析によりプロジェクト推進への有益な指標を提示
- アサーションベース検証
 - PSL、SVA標準アサーション言語をネイティブにサポート
 - デバッグツール群と連携し高いデバッグ効率を実現
 - 検証資産を形成しプロジェクトの検証労力を低減
- デバッグツール群
 - オブジェクトや波形、データフロー、アサーションを相互連携させた強力なデバッグ
 - アサーションスレッドやローカル変数もデバッグ可能
- 実行モードと動作環境
 - インタラクティブ実行、バッチ処理、ポストシミュレーション・デバッグやカバレッジ解析など使用モードに対応
 - Windows 7 / 8.1 / 10、Linux RHEL 6 / 7 および Linux SLES 11 / 12 で動作

高度なコードカバレッジ

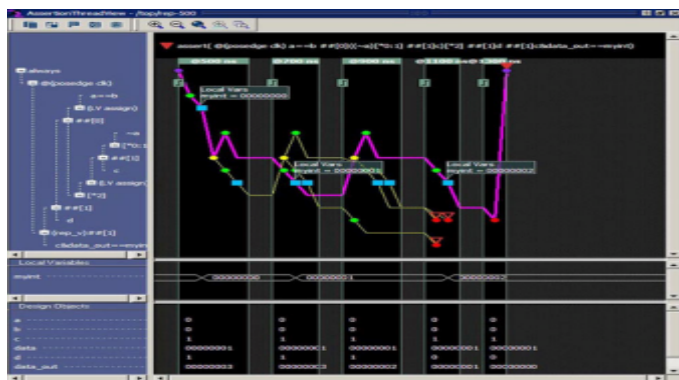
ModelSimではテストの品質と網羅性を知る上で貴重な指標を提示するコードカバレッジを統合しており容易に使うことができ、機能検証を体系的に進めることができます。タイプはステートメント、エクスプレッション、コンディション、FSMのステートと繊維、そしてトグルのタイプをサポートしています。すべてのカバレッジ情報はUCDBと呼ばれるデータベースに格納されます。複数シミュレーションの結果をマージし、インスタンス単位やコンポーネント単位で分析したり、テストランキングなどのユーティリティを使って検証効率を上げることができます。



アサーションベース検証

数多くのFPGA設計者がアサーションを用いて、機能仕様に対して設計が正しく振舞うかを自動的に監視する手法を採用しています。アサーションは、テストで活性化された振舞いがプライマリ出力などの観測点まで伝播しないようなバグを検出します。機能上のバグを、その根源の近傍で特定できるため、デバッグ効率が大幅に向上します。また再利用性が高いコンポーネントにアサーションを追加することで、検証資産として再利用することができ、かつインスタンス化された環境の検証において問題の切り分けにも役立ちます。

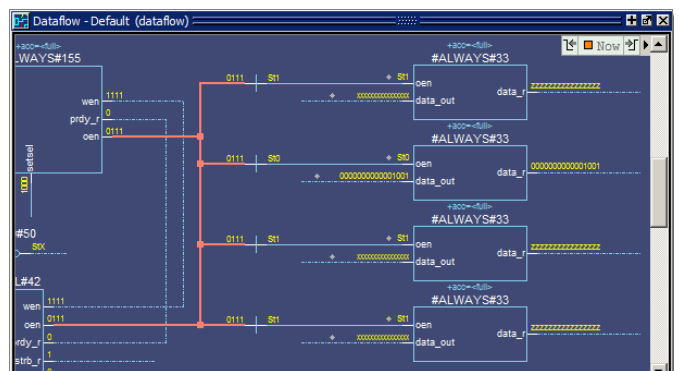
ModelSim DEはPSLやSVAをネイティブにサポートします。アサーションを設計コードにインライン記述したり、あるいは設計には修正を加えたくない場合には外部ユニットに記述し、適切なコンポーネントにバインドすることができます。



アサーションは同時評価で複数スレッドを持つことができますが、スレッドビューワを使用することで各スレッドのパス/フェイルや、ローカル変数の値も確認できます。

高いデバッグ生産性

機能検証に費やされる時間の約半分はデバッグの作業に費やされます。ModelSimはインテリジェントなグラフィカル・ユーザ・インタフェースを搭載し、限られたウィンドウ内でModelSimが持つ強力なデバッグ機能を自然に引き出すことができます。設計者の注力をツール操作ではなく、デバッグそのものに向けることができます。



データフローで表示されるオブジェクトは波形情報やソースコードと連動し、時間軸を進めたり戻したりしながらデバッグ作業を進めることができます。強力なデバッグ機能とアサーションを組み合わせることで、デバッグ生産性を最大限に上げることができます。

動作環境

ModelSim DEはWindowsとLinuxの両方の環境で動作します。64ビットに対応しており、設計規模による制約を受けずにシミュレーションと検証を進めることができます。

株式会社PALTEK

〒222-0033 横浜市港北区新横浜2-3-12 新横浜スクエアビル6F[受付] ・ 11F

TEL : 045-477-2000(代表) / FAX : 045-477-2010 / URL: www.paltek.co.jp

PALTEK 20180401

PALTEK SOLUTION SUPPLIER

株式会社PALTEKはMentor, A Siemens Business 製品の
国内一次代理店です

Mentor
A Siemens Business